



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001326545 A**(43) Date of publication of application: **22.11.01**

(51) Int. Cl.

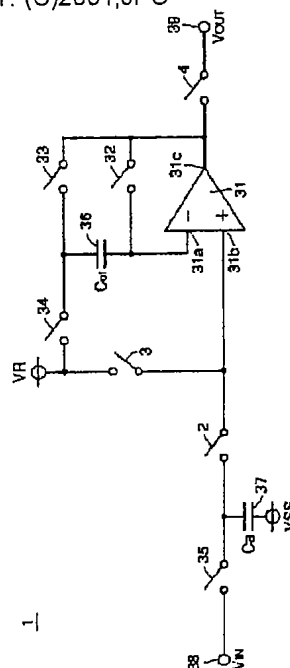
**H03F 3/34**  
**H03F 3/45**(21) Application number: **2000144347**(22) Date of filing: **17.05.00**(71) Applicant: **mitsubishi electric corp**(72) Inventor:  
**hashido ryuichi**  
**suzuki akihiro**  
**iwata akihiro**(54) **ANALOG OUTPUT CIRCUIT**

COPYRIGHT: (C)2001,JPO

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide an analog output circuit in which offset voltage can be completely compensated, which has a small layout area and in which an oscillation state is not generated and input potential does not change.

**SOLUTION:** First, only switches 3, 32, 33 and 35 are turned on, the electric charge of a capacitor 36 is eliminated and a capacitor 37 is charged to an input potential  $V_{IN}$ . Next, only switches 3, 32, 34 and 35 are turned on, and the capacitor 36 is charged to the offset voltage  $V_{of}$  of a differential amplifier 31. Then, only switches 2, 4 and 33 are turned on, and potential  $V_{IN}$  being the same as the input potential is outputted. The offset voltage  $V_{of}$  can be canceled completely regardless of the ratio of capacitance values of the capacitors 36 and 37.



#### Disclaimer:

This English translation is produced by machine translation and may contain errors. The JPO, the INPIT, and those who drafted this document in the original language are not responsible for the result of the translation.

#### Notes:

1. Untranslatable words are replaced with asterisks (\*\*\*\*).
2. Texts in the figures are not translated and shown as it is.

Translated: 22:21:37 JST 04/04/2007

Dictionary: Last updated 03/16/2007 / Priority:

---

## FULL CONTENTS

---

### [Claim(s)]

[Claim 1] It is the analog output circuit which outputs the same potential as the inputted analog potential. The differential amplifier containing the 1st input terminal, 2nd input terminal, and output terminal, The 1st capacitor for holding the offset voltage of said differential amplifier, While giving reference potential to the 2nd capacitor for holding the inputted analog potential, and said 1st input terminal of said differential amplifier, said output terminal and said 2nd input terminal are connected. The 1st switch circuit for making the potential which added the offset voltage of said differential amplifier to said reference potential output to said differential amplifier, The potential adding said offset voltage to said reference potential outputted from said differential amplifier The 2nd switch circuit for [ of said 1st capacitor ] giving said reference potential to the another side electrode, and making it charge, while giving an electrode on the other hand, And while connecting to said 2nd input terminal and said output terminal of said differential amplifier said one side electrode of the 1st capacitor and another side electrode which were charged using said 1st and 2nd switch circuits, respectively The analog potential held at said 2nd capacitor is given to said 1st input terminal of said differential amplifier. An analog output circuit equipped with the 3rd switch circuit for making the same potential as said analog potential output to said differential amplifier.

[Claim 2] Furthermore, an analog output circuit [ equipped with the 4th switch circuit for making inter-electrode / of said 1st capacitor / connect and discharge, before making said 1st capacitor charge using said 1st and 2nd switch circuits ] according to claim 1.

[Claim 3] Furthermore, receive the analog potential as which the terminal was inputted on the other hand, and the another side terminal is connected to the one side electrode of said 2nd capacitor. The analog output circuit according to claim 1 or 2 which flows while having charged said 1st capacitor using said 1st and 2nd switch circuits, and is equipped with the 1st switching element for making said analog potential hold to said 2nd capacitor.

[Claim 4] Furthermore, the one end child is connected to said output terminal of said differential amplifier. An analog output circuit given in either of Claim 1 to Claim 3 which the another side terminal is connected to a load circuit, and is equipped with the 2nd switching element which flows at the period when the same potential as said analog potential is outputted from said differential amplifier.

[Claim 5] Furthermore, an analog output circuit [ equipped with the charge-and-discharge circuit for giving the potential beforehand provided in said load circuit at the period before it connects with the another side terminal of said 2nd switching element and said 2nd switching element flows ] according to claim 4.

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the analog output circuit which outputs the same potential as the inputted analog potential about an analog output circuit.

[0002]

[Description of the Prior Art] Drawing 13 is the circuit diagram showing the composition of the conventional differential amplifier 20. In drawing 13, this differential amplifier 20 contains the constant current source 21, P channel MOS transistors 22 and 23, and the resistance elements 24 and 25. P channel MOS transistors 22 and 23 are the same sizes, and the resistance elements 24 and 25 have the same resistance.

[0003] The constant current source 21 is connected between the line of the 1st power supply potential VCC, and node N21. P channel MOS transistor 22 is connected among nodes N21 and N22, and the gate is connected to the inversed input terminal 20a. P channel MOS transistor 23 is connected among nodes N21 and N23, and the gate is connected to the non-inversed input terminal 20b. The resistance elements 24 and 25 are connected between node N22, N23, and the line of the 2nd power supply potential VSS, respectively.

[0004] The output current Ib of the constant current source 21 is shunted toward P channel MOS transistors 22 and 23. When potential VIN1 of the input terminal 20a and potential VIN2 of the input terminal 20b are the same Current Ib1 which flows into P channel MOS transistor 22, and current Ib2 which flow into P channel MOS transistor 23 become the same, and potential VOUT1 of node N22 and potential VOUT2 of node N23 become the same. Therefore, output voltage VOUT=VOUT1-VOUT2 of the differential amplifier 20 are set to 0 (V).

[0005] Moreover, when input potential VIN1 is lower than input potential VIN2, Ib1 becomes larger than Ib2 and VOUT1 becomes higher than VOUT2. Therefore, the output voltage VOUT turns into forward voltage. Moreover, when input potential VIN1 is higher than input potential VIN2, Ib1 becomes smaller than Ib2 and VOUT1 becomes lower than VOUT2. Therefore, the output voltage VOUT turns into negative voltage. This output voltage VOUT turns into voltage which amplified input potential difference VIN2-VIN1.

[0006] However, in such differential amplifier 20, even when a difference is in the size of P channel MOS transistors 22 and 23, or a difference is in the resistance of the resistance elements 24 and 25, and the input potentials VIN1 and VIN2 are equal, the output voltage VOUT is not set to 0 (V). The output voltage at this time is called offset voltage.

[0007] Drawing 14 is the circuit diagram showing the composition of the voltage follower 30 which has an offset voltage compensation function for compensating the offset voltage of the differential amplifier. Such a voltage follower 30 is indicated by Euro Display'96 (p. 247-250), for example.

[0008] In drawing 14, this voltage follower 30 contains the differential amplifier 31, switches 32-35, capacitors 36 and 37, the input terminal 38, and the output terminal 39. Components 32-37 other than differential-amplifier 31 constitute an offset voltage compensating circuit. A switch 32 is connected between the output terminal 31c of the differential amplifier 31, and the inversed input terminal 31a. The series connection of the switches 33 and 34 is carried out between the output terminal 31c of the differential amplifier 31, and the non-inversed input terminal 31b. A switch 35 is connected between the input terminal 38 and the non-inversed input terminal 31b of the differential amplifier 31.

[0009] A capacitor 36 is connected between the node between switches 33 and 34, and the inversed input terminal 31a of the differential amplifier 31. A capacitor 36 has the predetermined capacity value Cof, and holds the offset voltage Vof of the differential amplifier 31 as a charge. A capacitor 37 is connected between the non-inversed input terminal 31b of the differential amplifier 31, and the line of the 2nd power supply potential VSS. A capacitor 36 has the predetermined capacity Ca and holds the input potential VIN as a charge. The output terminal 31c of the differential amplifier 31 is connected to the output terminal 39 of the voltage follower 30.

[0010] Next, operation of this voltage follower 30 is explained. At step S1, as shown in drawing 15, a switch 35 is set to ON and charge Qa=Ca·VIN for the input potential VIN is stored in a capacitor 37. Moreover, switches 32 and 33 turn on and the charge currently stored in the capacitor 36 is eliminated (reset). At step S2, since reset was completed as shown in drawing 16, switches 33 and 35 turn off.

[0011] At step S3, as shown in drawing 17, a switch 34 turns on and the offset voltage Vof is detected. That is, charge deltaQ for offset voltage Vof is stored in a capacitor 36, only deltaQ increases, the charge of a capacitor 37 is set to Qa+delta Q, and the terminal voltage of a capacitor 37 changes from VIN to VIN'. The following formulas are realized at this time.

[0012]

[Equation 1]

$$\begin{cases} Q_a + \Delta Q = C_a V_{IN}' \\ \Delta Q = C_{of} V_{of} \end{cases}$$

$$\therefore Q_a = C_a V_{IN}' - C_{of} V_{of} = C_a V_{IN}$$

$$\therefore V_{IN}' = V_{IN} + \frac{C_{of}}{C_a} V_{of}$$

[0013] In step S4, since detection of the offset voltage Vof was completed as shown in drawing 18 , a switch 34 turns off. At step S5, as shown in drawing 19 , a switch 32 will turn off and it will be in a standby state. At step S6, as shown in drawing 20 , a switch 33 turns on, the detected offset voltage Vof is fed back to the inversed input terminal 31a of the differential amplifier 31, and the output voltage VOUT of the voltage follower 30 declines by offset voltage Vof. At this time, the output voltage VOUT of the voltage follower 30 is expressed with the following formula.

[0014]

[Equation 2]

$$\begin{aligned} V_{OUT} &= V_{IN}' + V_{of} - V_{of} \\ &= V_{IN} + \frac{C_{of}}{C_a} V_{of} \end{aligned}$$

[0015] Therefore, offset voltage is reduced by Cof/Ca times in this voltage follower 30.

[0016]

[Problem(s) to be Solved by the Invention] However, since capacity value Ca of the capacitor 37 needed to be enough enlarger in the conventional voltage follower 30 compared with the capacity value Cof of a capacitor 36 in order to make effect of the offset voltage Vof small The electrode area of the capacitor 37 needed to be enlarged enough and there was a problem that a layout area became large.

[0017] Moreover, since the output terminal 31c and the non-inversed input terminal 31b of the differential amplifier 31 are connected through a capacitor 36 when detecting the offset voltage Vof (step S3) An oscillation state arises depending on the frequency characteristic of the differential amplifier 31, or the magnitude of the offset voltage Vof, and it becomes impossible to detect the offset voltage Vof to accuracy. Drawing 21 is the wave form chart showing the square wave response of the conventional voltage follower 30. It turns out that an oscillation state arises from this drawing in step S3, and voltage VIN and VOUT change a lot.

[0018] Moreover, since capacitors 36 and 37 were connected when detecting the offset voltage Vof (step S3), there was a problem that the input potential VIN will change with migration of a charge a lot.

[0019] Without using a single crystal silicon transistor, these problems become remarkable especially, when the differential amplifier 31 is constituted using powerless transistors, such as an amorphous silicon transistor and a polysilicon transistor.

[0020] Moreover, in the conventional voltage follower 30, there was also a problem that input potential could not be latched to accuracy by the feed through which originates in the parasitic capacitance of a component etc. and is produced in the case of switching.

[0021] So, the main object of this invention is to offer the analog output circuit where offset voltage can be compensated thoroughly, a layout area is small, an oscillation state does not occur, and input potential does not change.

[0022]

[Means for Solving the Problem] The differential amplifier which the analog output circuit concerning this invention is an analog output circuit which outputs the same potential as the inputted analog potential, and contains the 1st input terminal, 2nd input terminal, and output terminal, The 1st capacitor for holding the offset voltage of the differential amplifier, While giving reference potential to the 1st input terminal of the differential amplifier, an output terminal and the 2nd input terminal are connected with the 2nd capacitor for holding the inputted analog potential. The 1st switch circuit for making the potential which added the offset voltage of the differential amplifier to reference potential output to the differential amplifier, The potential adding offset voltage to the reference potential outputted from the differential amplifier The 2nd switch circuit for [ of the 1st capacitor ] giving reference potential to the another side electrode, and making it charge, while giving an electrode on the other hand, While connecting to the 2nd input terminal and output terminal of the differential amplifier the 1st one side electrode and another side electrode of a

capacitor which were charged using the 1st and 2nd switch circuits, respectively. The analog potential held at the 2nd capacitor is given to the 1st input terminal of the differential amplifier, and it has the 3rd switch circuit for making the same potential as analog potential output to the differential amplifier.

[0023] Preferably, further, before making the 1st capacitor charge using the 1st and 2nd switch circuits, the 4th switch circuit for making inter-electrode [ of the 1st capacitor ] connect and discharge is prepared.

[0024] Moreover, the analog potential as which the terminal was inputted on the other hand is received further preferably. On the other hand, it connects with an electrode, the another side terminal flows, while [ capacitor / 2nd ] having charged the 1st capacitor using the 1st and 2nd switch circuits, and the 1st switching element for making analog potential hold to the 2nd capacitor is prepared.

[0025] Moreover, preferably, on the other hand, a terminal is connected to the output terminal of the differential amplifier, the another side terminal is connected to a load circuit, and the 2nd switching element which flows at the period when the same potential as analog potential is outputted from the differential amplifier is prepared further.

[0026] Moreover, preferably, it connects with the another side terminal of the 2nd switching element, and the charge-and-discharge circuit for giving the potential defined beforehand is further established in a load circuit at the period before the 2nd switching element flows.

[0027]

[Embodiment of the Invention] [Form 1 of operation] Drawing 1 is the circuit diagram showing the composition of the voltage follower 1 by the form 1 of implementation of this invention, and is drawing contrasted with drawing 14.

[0028] The points that this voltage follower 1 differs from the voltage follower 30 of drawing 14 with reference to drawing 1 are the point that switches 2-4 are added, and a point that the reference potential VR is introduced. A switch 3 is inserted between the one end child of a switch 34, and the non-inversed input terminal 31b of the differential amplifier 31. The node between switches 3 and 34 is connected to the line of the reference potential VR. A switch 2 is inserted between the one side electrode of a capacitor 37, and the non-inversed input terminal 31b of the differential amplifier 31. A switch 4 is inserted between the output terminal 31c of the differential amplifier 31, and the output terminal 39 of the voltage follower 1.

[0029] Drawing 2 is a timing diagram which shows operation of the voltage follower 1 shown in drawing 1. Operation of the voltage follower 1 is explained according to this drawing 2. In an initial state, switches 2, 4, and 33 turn on and it is assumed that switches 3, 32, 34, and 35 turn off. At step S1, as shown in drawing 3, a switch 4 turns off and the load (not shown) connected to the differential amplifier 31 and the output terminal 39 is separated electrically. Thereby, it can prevent that the effect of the switching operation of switches 2-4, 32-35 attains to a load.

[0030] At step S2, as shown in drawing 4, a switch 2 turns off and a capacitor 37 and the differential amplifier 31 are separated electrically. With a switch S3, as shown in drawing 5, while the charge which switches 32 and 33 turned on and was stored in the capacitor 36 is eliminated (reset), a switch 35 turns on and charge of a capacitor 37 is started by the following analog input potential VIN.

[0031] In step S4, as shown in drawing 6, while a switch 33 turns off, a switch 34 turns on, and the offset voltage Vof is detected. Since the differential amplifier 31 and a load are separated at this time, the responsibility of the differential amplifier 31 is dramatically good. Moreover, since the reference potential VR is impressed to the non-inversed input terminal 31b of the differential amplifier 31, operation of the differential amplifier 31 is stabilized. Therefore, charge  $\Delta Q$  for offset voltage Vof is stored in a capacitor 36 by accuracy for a short time. Moreover, the terminal potential VIN of a capacitor 37 does not change.

[0032] At step S5, since detection of the offset voltage Vof was completed as shown in drawing 7, a switch 34 turns off. At step S6, as shown in drawing 8, a switch 32 turns off and the differential amplifier 31 is made open-loop.

[0033] At step S7, as shown in drawing 9, a switch 33 turns on, the detected offset voltage Vof is fed back to the inversed input terminal 31a of the differential amplifier 31, and the potential of the output terminal 31c of the differential amplifier 31 falls by offset voltage Vof. That is, the potential of the output terminal 31c of the differential amplifier 31 turns into the reference potential VR. Therefore, in this voltage follower 1, the offset voltage Vof can be canceled thoroughly theoretically, without being based on the capacity value of capacitors 36 and 37.

[0034] At step S8, as shown in drawing 10, switches 3 and 35 will turn off and it will be in a standby state. In step S9, as shown in drawing 11, switches 2 and 4 turn on and the input potential VIN held at the capacitor 7 is inputted into the non-inversed input terminal 31b of the differential amplifier 31. Since the offset voltage Vof held in the differential amplifier 31 at the capacitor 36 is

added to the output voltage VOUT and it is made to feed back to the inversed input terminal 31a, the output voltage VOUT of the differential amplifier 31 turns into input voltage and the same voltage VIN.

[0035] With the form 1 of this operation, since the reference potential VR is referred to with reference to the potential VIN of (step S4) and a capacitor 37 when detecting the offset voltage Vof, the potential VIN of a capacitor 37 does not change. Moreover, since the non-inversed input terminal 31b of the differential amplifier 31 is fixed to the reference potential VR, an oscillation state does not arise like before. Moreover, since the offset voltage Vof can be canceled thoroughly theoretically, without being based on the capacity value of capacitors 36 and 37, it is not necessary to enlarge, the capacity value, i.e., the electrode area, of a capacitor 37, and a layout area is small and ends.

[0036] [Form 2 of operation] The voltage follower 1 shown by drawing 1 - drawing 11 is used as an analog output circuit for driving the scanning line of a liquid crystal panel, for example. [ in order to attain low cost-ization of equipment, to form an analog output circuit with an amorphous silicon transistor or a polysilicon transistor instead of a single crystal transistor is tried, but ] Since the analog output circuit formed with the amorphous silicon transistor or the polysilicon transistor has bad responsibility, there is a problem that a scan time becomes long. This problem is solved with the form 2 of this operation.

[0037] Drawing 12 is circuit block drawing showing the composition of the analog output circuit 10 by the form 2 of implementation of this invention. The point that this analog output circuit 10 differs from the voltage follower 1 of drawing 1 with reference to drawing 12 is a point that the switch 11 and the charge-and-discharge circuit 12 are added. A switch 11 is connected between the output terminal 39 and the output node of the charge-and-discharge circuit 12.

[0038] A switch 11 is turned off at the period which turns on at the period when the switch 4 is turned off, and the switch 4 turns on. The charge-and-discharge circuit 12 minds [ when the switch 4 is turned off ] a switch 11, and charges / discharges a load, i.e., the scanning line, at the level near a target level. The voltage follower containing the differential amplifier 31 tunes the scanning line finely to a target level. Thereby, the scanning line can be driven to quick and accuracy, and shortening of a scan time can be attained.

[0039] In addition, it should be thought that the form of the operation indicated this time is [ no ] instantiation at points, and restrictive. The range of this invention is shown by the above-mentioned not explanation but Claims, and it is meant that Claims have an equal meaning, and all the change in within the limits are included.

[0040]

[Effect of the Invention] as mentioned above, [ in the analog output circuit concerning this invention ] While giving reference potential to the 1st input terminal of the differential amplifier, an output terminal and the 2nd input terminal are connected with the differential amplifier and the 1st and 2nd capacitors. The 1st switch circuit for making the potential which added the offset voltage of the differential amplifier to reference potential output to the differential amplifier, The potential adding offset voltage to the reference potential outputted from the differential amplifier The 2nd switch circuit for [ of the 1st capacitor ] giving reference potential to the another side electrode, and making it charge, while giving an electrode on the other hand, While connecting to the 2nd input terminal and output terminal of the differential amplifier the 1st one side electrode and another side electrode of a capacitor which were charged using the 1st and 2nd switch circuits, respectively The analog potential held at the 2nd capacitor is given to the 1st input terminal of the differential amplifier, and the 3rd switch circuit for making the same potential as analog potential output to the differential amplifier is prepared. Therefore, regardless of the capacity value of the 1st and 2nd capacitor offset voltage is thoroughly cancellable. Therefore, it is small, the 2nd capacity value, i.e., electrode area, of a capacitor, and ends, and a layout area is small and ends. Moreover, since reference potential is used without using the input analog potential held at the 2nd capacitor even when making the 1st capacitor charge, input analog potential does not change. Moreover, since the 1st input terminal of the differential amplifier is fixed to reference potential at this time, an oscillation state does not arise.

[0041] Preferably, further, before making the 1st capacitor charge using the 1st and 2nd switch circuits, the 4th switch circuit for making inter-electrode [ of the 1st capacitor ] connect and discharge is prepared. In this case, since the residual charge of the 1st capacitor is removable, offset voltage is detectable to accuracy.

[0042] Moreover, the analog potential as which the terminal was inputted on the other hand is received further preferably. On the other hand, it connects with an electrode, the another side terminal flows, while [ capacitor / 2nd ] having charged the 1st capacitor using the 1st and 2nd switch circuits, and the 1st switching element for making analog potential hold to the 2nd capacitor is prepared. In this case, while having detected offset voltage, input analog potential can be made to hold to the 2nd capacitor.

[0043] Moreover, preferably, on the other hand, a terminal is connected to the output terminal of the differential amplifier, the another side terminal is connected to a load circuit, and the 2nd switching element which flows at the period when the same potential as analog potential is outputted from the differential amplifier is prepared further. In this case, while having detected offset voltage, between the output terminal of the differential amplifier and load circuits can be intercepted, and it can prevent that the differential amplifier and a load circuit have an adverse effect mutually.

[0044] Moreover, preferably, it connects with the another side terminal of the 2nd switching element, and the charge-and-discharge circuit for giving the potential defined beforehand is established in a load circuit at the period before the 2nd switching element flows. In this case, the burden of the differential amplifier can be made light and a load circuit can be made to drive promptly.

---

#### [Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the composition of the voltage follower by the form 1 of implementation of this invention.

[Drawing 2] It is the timing diagram which shows operation of a voltage follower shown in drawing 1 .

[Drawing 3] It is a circuit diagram for explaining operation of a voltage follower shown in drawing 1 .

[Drawing 4] They are other circuit diagrams for explaining operation of a voltage follower shown in drawing 1 .

[Drawing 5] It is the circuit diagram of further others for explaining operation of a voltage follower shown in drawing 1 .

[Drawing 6] It is the circuit diagram of further others for explaining operation of a voltage follower shown in drawing 1 .

[Drawing 7] It is the circuit diagram of further others for explaining operation of a voltage follower shown in drawing 1 .

[Drawing 8] It is the circuit diagram of further others for explaining operation of a voltage follower shown in drawing 1 .

[Drawing 9] It is the circuit diagram of further others for explaining operation of a voltage follower shown in drawing 1 .

[Drawing 10] It is the circuit diagram of further others for explaining operation of a voltage follower shown in drawing 1 .

[Drawing 11] It is the circuit diagram of further others for explaining operation of a voltage follower shown in drawing 1 .

[Drawing 12] It is circuit block drawing showing the composition of the analog output circuit by the form 2 of implementation of this invention.

[Drawing 13] It is the circuit diagram showing the composition of the conventional differential amplifier.

[Drawing 14] It is the circuit diagram showing the composition of the conventional voltage follower.

[Drawing 15] It is a circuit diagram for explaining operation of a voltage follower shown in drawing 14 .

[Drawing 16] They are other circuit diagrams for explaining operation of a voltage follower shown in drawing 14 .

[Drawing 17] It is the circuit diagram of further others for explaining operation of a voltage follower shown in drawing 14 .

[Drawing 18] It is the circuit diagram of further others for explaining operation of a voltage follower shown in drawing 14 .

[Drawing 19] It is the circuit diagram of further others for explaining operation of a voltage follower shown in drawing 14 .

[Drawing 20] It is the circuit diagram of further others for explaining operation of a voltage follower shown in drawing 14 .

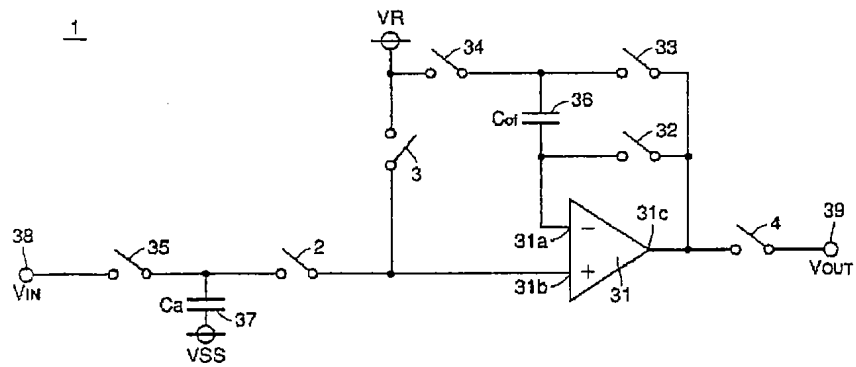
[Drawing 21] It is drawing for explaining the trouble of a voltage follower shown in drawing 14 .

#### [Description of Notations]

1, 30 A voltage follower, 2-4, 11, 32-35 Switch, 12 A charge-and-discharge circuit, 20, 31 The differential amplifier, 21 A constant current source, 22, 23 A P channel MOS transistor, 24, 25 A resistance element, 36, 37 A capacitor, 38 An input terminal, 39 Output terminal.

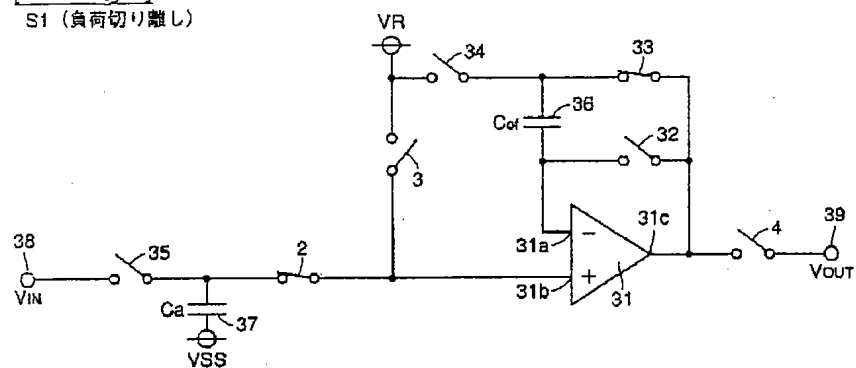
---

#### [Drawing 1]

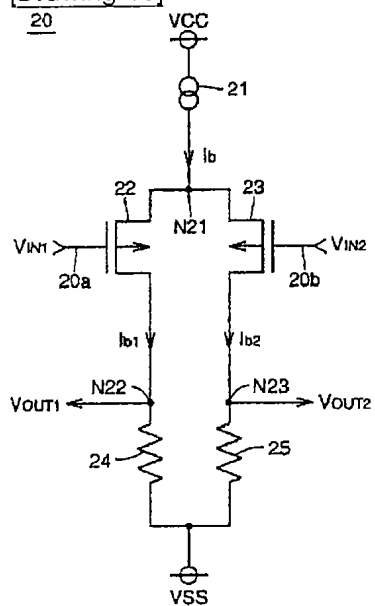


[Drawing 3]

S1 (負荷切り離し)

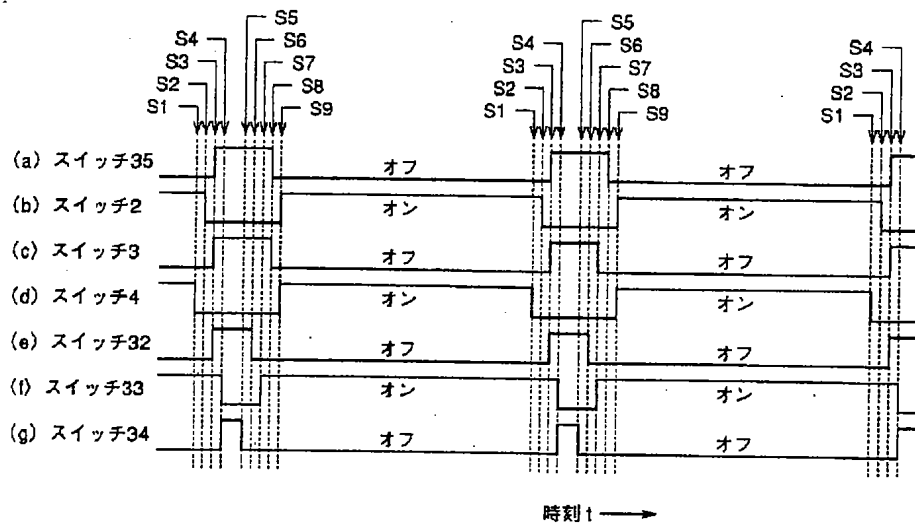


[Drawing 13]



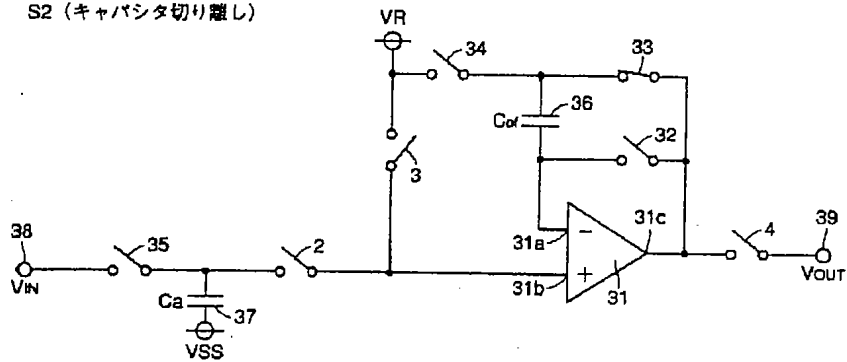
[Drawing 2]





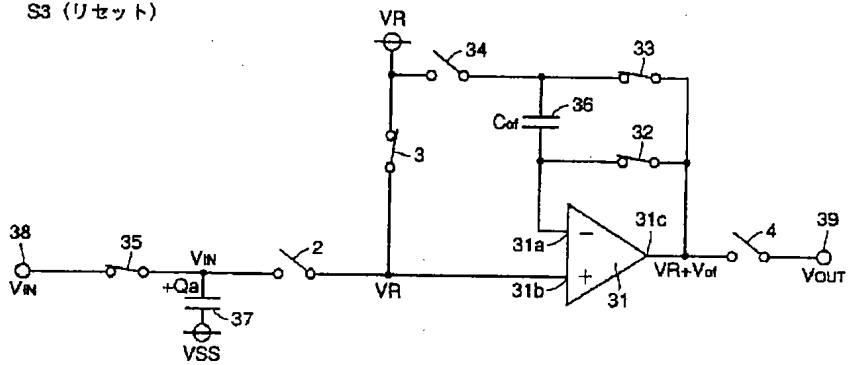
[Drawing 4]

S2 (キャパシタ切り離し)



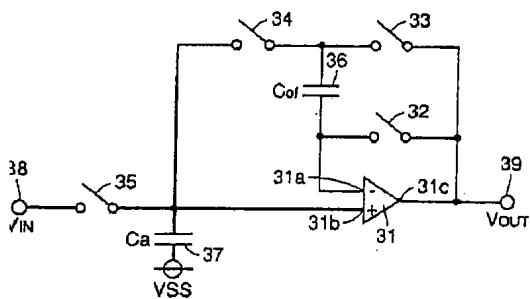
[Drawing 5]

S3 (リセット)



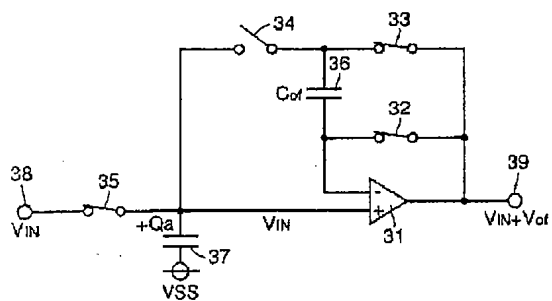
[Drawing 14]

30



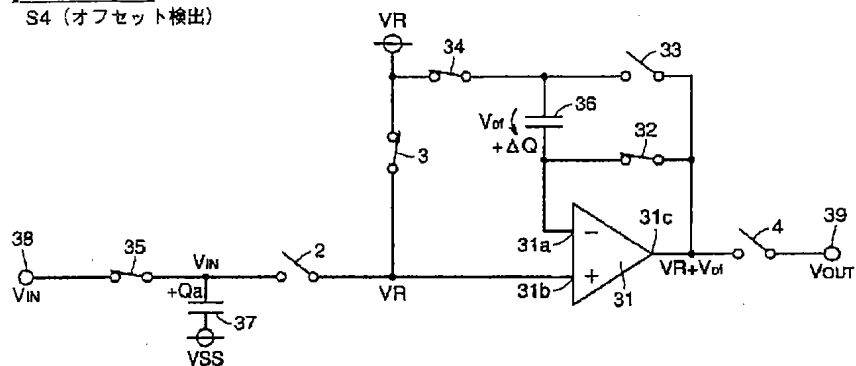
[Drawing 15]

S1 (リセット)



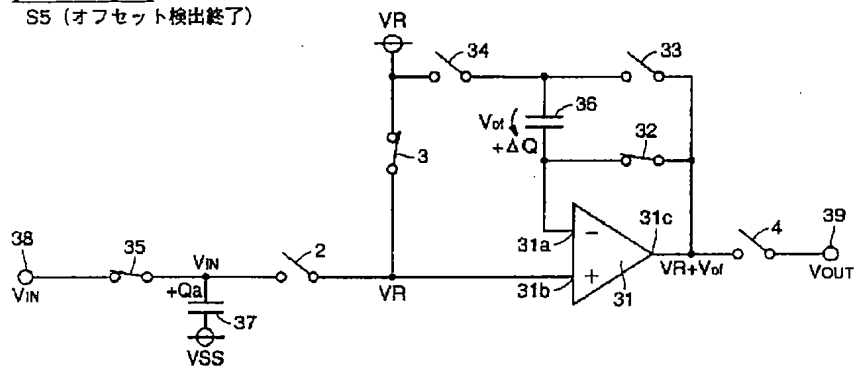
[Drawing 6]

S4 (オフセット検出)



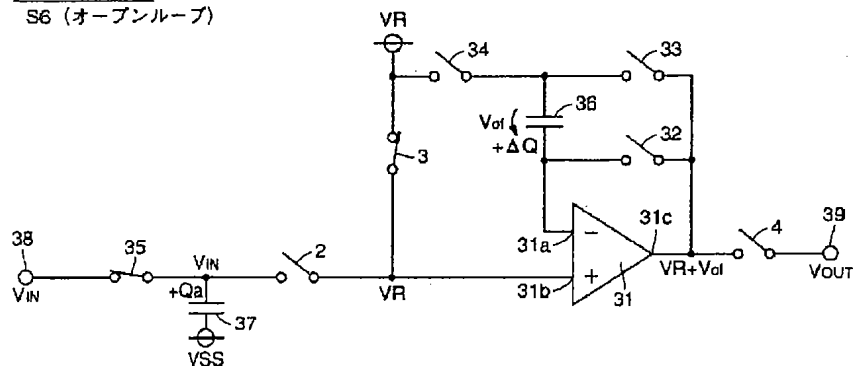
[Drawing 7]

S5 (オフセット検出終了)



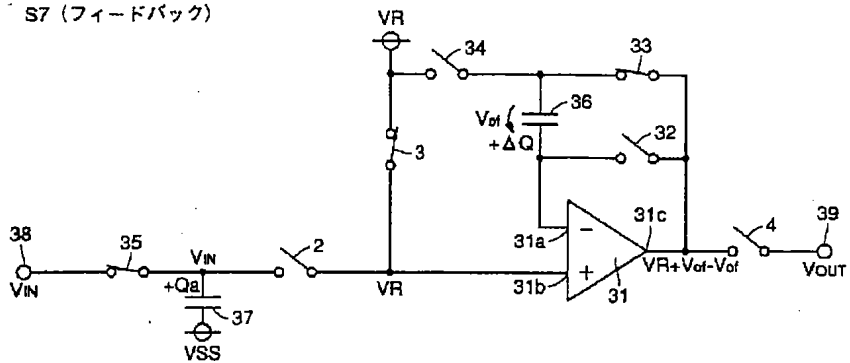
[Drawing 8]

S6 (オープンループ)



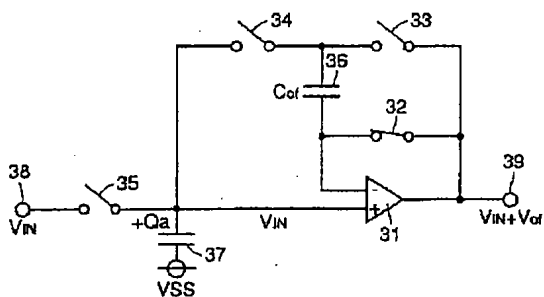
[Drawing 9]

### S7 (フィードバック)

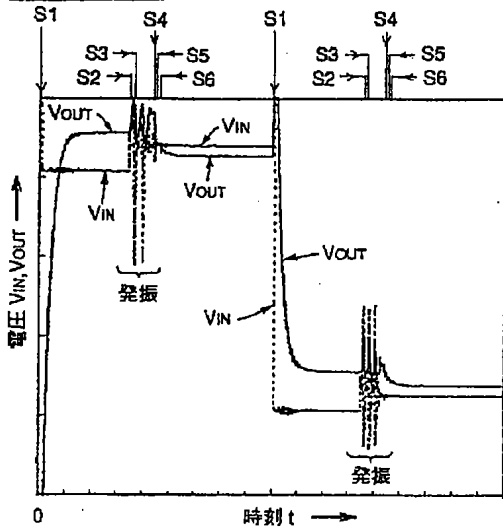


[Drawing 16]

S2 (リセット終了)

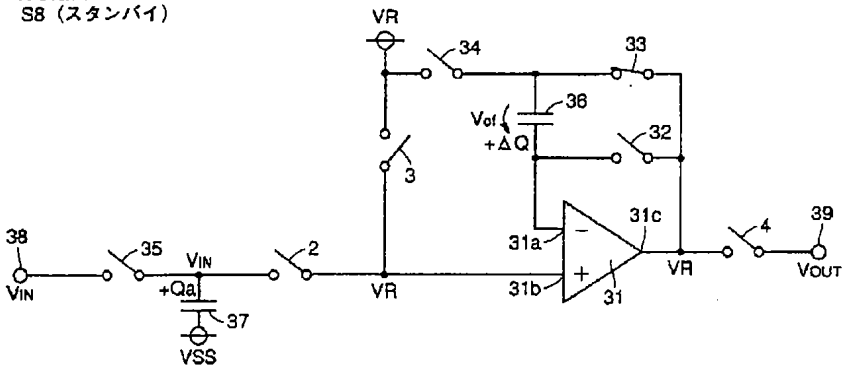


[Drawing 21]



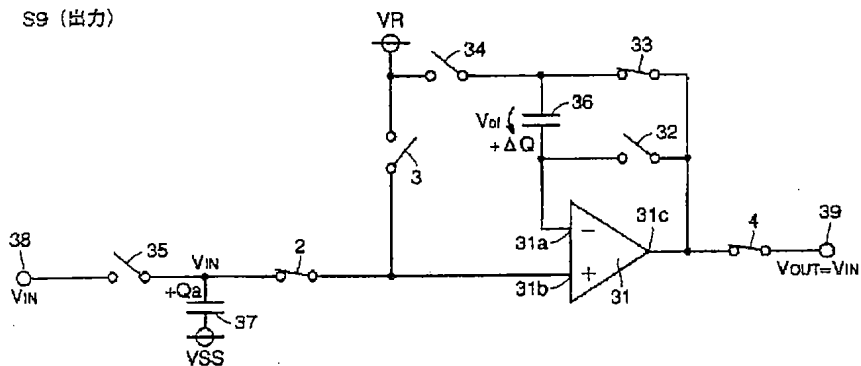
[Drawing 10]

S8 (スタンバイ)



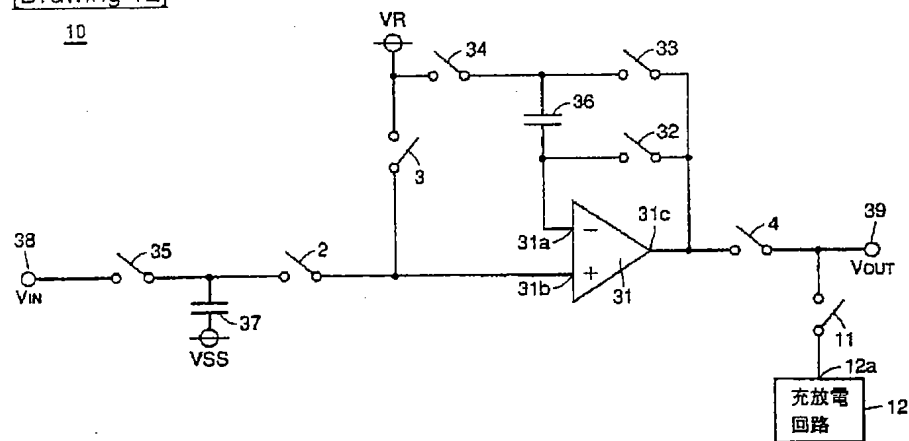
[Drawing 11]

S9 (出力)



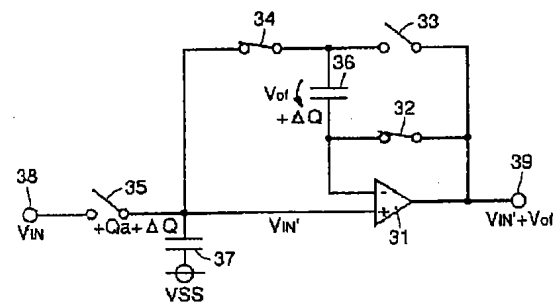
[Drawing 12]

10



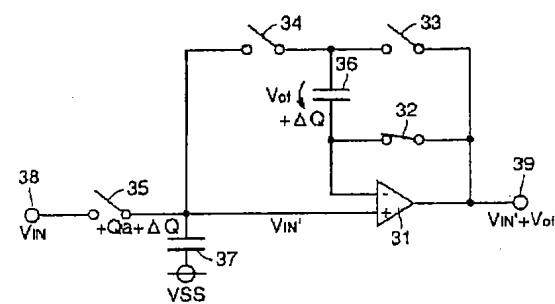
[Drawing 17]

S3 (オフセット検出)



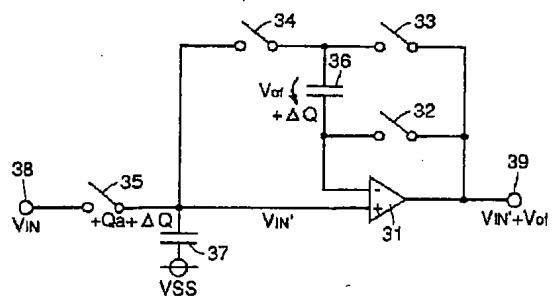
[Drawing 18]

S4 (オフセット検出終了)



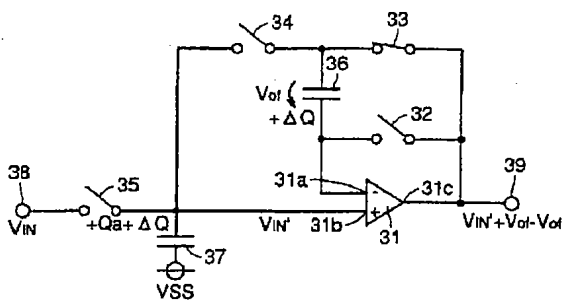
[Drawing 19]

S5 (スタンバイ)



[Drawing 20]

S6 (フィードバック)



[Translation done.]

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
H 0 3 F	3/34	H 0 3 F	B 5 J 0 6 6
	3/45		Z 5 J 0 9 1

審査請求 未請求 請求項の数5 O L (全 10 頁)

(21)出願番号 特願2000-144347(P2000-144347)

(22)出願日 平成12年5月17日(2000.5.17)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 橋戸 隆一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 鈴木 昭弘

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外4名)

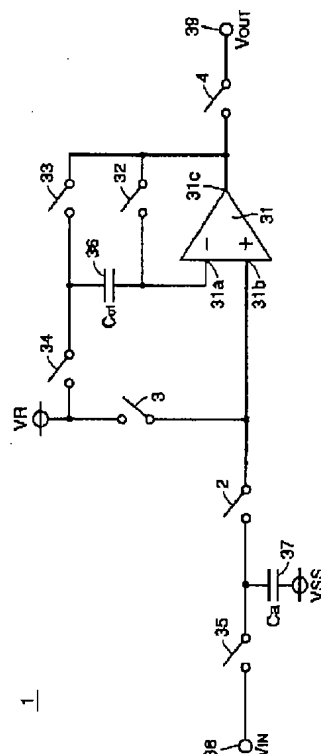
最終頁に続く

(54)【発明の名称】 アナログ出力回路

(57)【要約】

【課題】 オフセット電圧を完全に補償することができ、レイアウト面積が小さく、発振状態が発生せず、入力電位が変化しないアナログ出力回路を提供する。

【解決手段】 まずスイッチ3, 32, 33, 35のみをオンさせてキャパシタ36の電荷を消去するとともにキャパシタ37を入力電位 $V_{IN}$ に充電する。次にスイッチ3, 32, 34, 35のみをオンさせてキャパシタ36を差動増幅器31のオフセット電圧 $V_{of}$ に充電する。次にスイッチ2, 4, 33のみをオンさせて入力電位と同じ電位 $V_{IN}$ を出力する。キャパシタ36, 37の容量値の比に関係なくオフセット電圧 $V_{of}$ を完全にキャンセルすることができる。



## 【特許請求の範囲】

【請求項 1】 入力されたアナログ電位と同じ電位を出力するアナログ出力回路であって、

第 1 の入力端子、第 2 の入力端子および出力端子を含む差動増幅器、

前記差動増幅器のオフセット電圧を保持するための第 1 のキャパシタ、

入力されたアナログ電位を保持するための第 2 のキャパシタ、

前記差動増幅器の前記第 1 の入力端子に参照電位を与えるとともに前記出力端子と前記第 2 の入力端子とを接続し、前記参照電位に前記差動増幅器のオフセット電圧を加算した電位を前記差動増幅器に出力させるための第 1 の切替回路、

前記差動増幅器から出力された前記参照電位に前記オフセット電圧を加算した電位を前記第 1 のキャパシタの一方電極に与えると同時にその他方電極に前記参照電位を与えて充電させるための第 2 の切替回路、および前記第 1 および第 2 の切替回路を用いて充電された前記第 1 のキャパシタの一方電極および他方電極をそれぞれ前記差動増幅器の前記第 2 の入力端子および前記出力端子に接続するとともに、前記第 2 のキャパシタに保持されたアナログ電位を前記差動増幅器の前記第 1 の入力端子に与えて、前記アナログ電位と同じ電位を前記差動増幅器に出力させるための第 3 の切替回路を備える、アナログ出力回路。

【請求項 2】 さらに、前記第 1 および第 2 の切替回路を用いて前記第 1 のキャパシタを充電させる前に、前記第 1 のキャパシタの電極間を接続して放電させるための第 4 の切替回路を備える、請求項 1 に記載のアナログ出力回路。

【請求項 3】 さらに、その一方端子が入力されたアナログ電位を受け、その他方端子が前記第 2 のキャパシタの一方電極に接続され、前記第 1 および第 2 の切替回路を用いて前記第 1 のキャパシタを充電している間に導通し、前記第 2 のキャパシタに前記アナログ電位を保持させるための第 1 のスイッチング素子を備える、請求項 1 または請求項 2 に記載のアナログ出力回路。

【請求項 4】 さらに、その一方端子が前記差動増幅器の前記出力端子に接続され、その他方端子が負荷回路に接続され、前記差動増幅器から前記アナログ電位と同じ電位が出力されている期間に導通する第 2 のスイッチング素子を備える、請求項 1 から請求項 3 のいずれかに記載のアナログ出力回路。

【請求項 5】 さらに、前記第 2 のスイッチング素子の他方端子に接続され、前記第 2 のスイッチング素子が導通する前の期間に前記負荷回路に予め定められた電位を与えるための充放電回路を備える、請求項 4 に記載のアナログ出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はアナログ出力回路に関し、特に、入力されたアナログ電位と同じ電位を出力するアナログ出力回路に関する。

【0002】

【従来の技術】図 13 は、従来の差動増幅器 20 の構成を示す回路図である。図 13 において、この差動増幅器 20 は、定電流源 21、P チャネル MOS トランジスタ 22、23 および抵抗素子 24、25 を含む。P チャネル MOS トランジスタ 22 と 23 は同じサイズであり、抵抗素子 24 と 25 は同じ抵抗値を有する。

【0003】定電流源 21 は、第 1 電源電位 VCC のラインとノード N21 との間に接続される。P チャネル MOS トランジスタ 22 は、ノード N21 と N22 の間に接続され、そのゲートは反転入力端子 20a に接続される。P チャネル MOS トランジスタ 23 は、ノード N21 と N23 の間に接続され、そのゲートは非反転入力端子 20b に接続される。抵抗素子 24、25 は、それぞれノード N22、N23 と第 2 電源電位 VSS のラインとの間に接続される。

【0004】定電流源 21 の出力電流  $I_b$  は、P チャネル MOS トランジスタ 22 と 23 に分流される。入力端子 20a の電位  $V_{in1}$  と入力端子 20b の電位  $V_{in2}$  とが同一である場合は、P チャネル MOS トランジスタ 22 に流れる電流  $I_{b1}$  と P チャネル MOS トランジスタ 23 に流れる電流  $I_{b2}$  とが同一になってノード N22 の電位  $V_{out1}$  とノード N23 の電位  $V_{out2}$  とは同一になる。したがって、差動増幅器 20 の出力電圧  $V_{out} = V_{out1} - V_{out2}$  は 0 (V) となる。

【0005】また、入力電位  $V_{in1}$  が入力電位  $V_{in2}$  よりも低い場合は、 $I_{b1}$  が  $I_{b2}$  よりも大きくなり、 $V_{out1}$  が  $V_{out2}$  よりも高くなる。したがって、出力電圧  $V_{out}$  は正の電圧となる。また、入力電位  $V_{in1}$  が入力電位  $V_{in2}$  よりも高い場合は、 $I_{b1}$  が  $I_{b2}$  よりも小さくなり、 $V_{out1}$  が  $V_{out2}$  よりも低くなる。したがって、出力電圧  $V_{out}$  は負の電圧となる。この出力電圧  $V_{out}$  は、入力電位差  $V_{in2} - V_{in1}$  を増幅した電圧となる。

【0006】しかし、このような差動増幅器 20 では、P チャネル MOS トランジスタ 22 と 23 のサイズに差があったり、抵抗素子 24 と 25 の抵抗値に差がある場合は、入力電位  $V_{in1}$  と  $V_{in2}$  が等しいときでも出力電圧  $V_{out}$  は 0 (V) にならない。このときの出力電圧は、オフセット電圧と呼ばれる。

【0007】図 14 は、差動増幅器のオフセット電圧を補償するためのオフセット電圧補償機能を有する電圧フォロワ 30 の構成を示す回路図である。このような電圧フォロワ 30 は、たとえば Euro Display '96 (p. 247~250) に開示されている。

【0008】図 14 において、この電圧フォロワ 30 は、差動増幅器 31、スイッチ 32~35、キャパシタ

36、37、入力端子38、および出力端子39を含む。差動増幅器31以外の素子32～37はオフセット電圧補償回路を構成する。スイッチ32は、差動増幅器31の出力端子31cと反転入力端子31aとの間に接続される。スイッチ33、34は、差動増幅器31の出力端子31cと非反転入力端子31bとの間に直列接続される。スイッチ35は、入力端子38と差動増幅器31の非反転入力端子31bとの間に接続される。

【0009】キャパシタ36は、スイッチ33と34の間のノードと差動増幅器31の反転入力端子31aとの間に接続される。キャパシタ36は、所定の容量値 $C_{of}$ を有し、差動増幅器31のオフセット電圧 $V_{of}$ を電荷として保持する。キャパシタ37は、差動増幅器31の非反転入力端子31bと第2電源電位 $V_{SS}$ のラインとの間に接続される。キャパシタ36は、所定の容量 $C_a$ を有し、入力電位 $V_{IN}$ を電荷として保持する。差動増幅器31の出力端子31cは、電圧フォロワ30の出力端子39に接続される。

【0010】次に、この電圧フォロワ30の動作について説明する。ステップS1では、図15に示すように、スイッチ35がオンとなり、キャパシタ37に入力電位 $V_{IN}$ 分の電荷 $Q_a = C_a \cdot V_{IN}$ が蓄えられる。また、スイッチ32、33がオンし、キャパシタ36に蓄えられていた電荷が消去（リセット）される。ステップS2では、図16に示すように、リセットが終了したのでスイッチ33、35がオフする。

【0011】ステップS3では、図17に示すように、スイッチ34がオンし、オフセット電圧 $V_{of}$ が検出される。すなわちキャパシタ36にはオフセット電圧 $V_{of}$ 分の電荷 $\Delta Q$ が蓄えられ、キャパシタ37の電荷が $\delta Q$ だけ増加して $Q_a + \Delta Q$ となり、キャパシタ37の端子電圧が $V_{IN}$ から $V_{IN}'$ に変化する。このとき、以下の式が成り立つ。

【0012】

【数1】

$$\begin{cases} Q_a + \Delta Q = C_a V_{IN}' \\ \Delta Q = C_{of} V_{of} \end{cases}$$

$$\therefore Q_a = C_a V_{IN}' - C_{of} V_{of} = C_a V_{IN}$$

$$\therefore V_{IN}' = V_{IN} + \frac{C_{of}}{C_a} V_{of}$$

【0013】ステップS4では、図18に示すように、オフセット電圧 $V_{of}$ の検出が終了したので、スイッチ34がオフする。ステップS5では、図19に示すように、スイッチ32がオフしてスタンバイ状態となる。ステップS6では、図20に示すように、スイッチ33がオンし、検出したオフセット電圧 $V_{of}$ が差動増幅器31の反転入力端子31aにフィードバックされ、電圧フォロワ30の出力電圧 $V_{OUT}$ がオフセット電圧 $V_{of}$ 分だけ低下する。このとき電圧フォロワ30の出力電圧 $V_{OUT}$

は次の式で表わされる。

【0014】

【数2】

$$\begin{aligned} V_{OUT} &= V_{IN}' + V_{of} - V_{of} \\ &= V_{IN} + \frac{C_{of}}{C_a} V_{of} \end{aligned}$$

【0015】したがって、この電圧フォロワ30では、オフセット電圧は $C_{of}/C_a$ 倍に低減される。

【0016】

【発明が解決しようとする課題】しかし、従来の電圧フォロワ30では、オフセット電圧 $V_{of}$ の影響を小さくするためにはキャパシタ36の容量値 $C_{of}$ に比べてキャパシタ37の容量値 $C_a$ を十分大きくする必要があったので、キャパシタ37の電極面積を十分大きくする必要があり、レイアウト面積が大きくなるという問題があった。

【0017】また、オフセット電圧 $V_{of}$ を検出するとき（ステップS3）、差動増幅器31の出力端子31cと非反転入力端子31bがキャパシタ36を介して接続されるので、差動増幅器31の周波数特性やオフセット電圧 $V_{of}$ の大きさによっては発振状態が生じ、オフセット電圧 $V_{of}$ を正確に検出できなくなる。図21は、従来の電圧フォロワ30の矩形波応答を示す波形図である。この図からステップS3において発振状態が生じ、電圧 $V_{IN}$ 、 $V_{OUT}$ が大きく変化することがわかる。

【0018】また、オフセット電圧 $V_{of}$ を検出するとき（ステップS3）、キャパシタ36と37が接続されるので、電荷の移動によって入力電位 $V_{IN}$ が大きく変化してしまうという問題があった。

【0019】これらの問題は、単結晶シリコントランジスタを用いずに、アモルファスシリコントランジスタ、ポリシリコントランジスタなどの性能の悪いトランジスタを用いて差動増幅器31を構成した場合に特に顕著となる。

【0020】また、従来の電圧フォロワ30では、素子の寄生容量などに起因してスイッチングの際に生じるフィードスルーによって、正確に入力電位をラッチできないという問題もあった。

【0021】それゆえに、この発明の主たる目的は、オフセット電圧を完全に補償することができ、レイアウト面積が小さく、発振状態が発生せず、入力電位が変化しないアナログ出力回路を提供することである。

【0022】

【課題を解決するための手段】この発明に係るアナログ出力回路は、入力されたアナログ電位と同じ電位を出力するアナログ出力回路であって、第1の入力端子、第2の入力端子および出力端子を含む差動増幅器と、差動増幅器のオフセット電圧を保持するための第1のキャパシタと、入力されたアナログ電位を保持するための第2の



キャパシタと、差動増幅器の第 1 の入力端子に参照電位を与えるとともに出力端子と第 2 の入力端子とを接続し、参照電位に差動増幅器のオフセット電圧を加算した電位を差動増幅器に出力させるための第 1 の切換回路と、差動増幅器から出力された参照電位にオフセット電圧を加算した電位を第 1 のキャパシタの一方電極に与えるとともにその他方電極に参照電位を与えて充電させるための第 2 の切換回路と、第 1 および第 2 の切換回路を用いて充電された第 1 のキャパシタの一方電極および他方電極をそれぞれ差動増幅器の第 2 の入力端子および出力端子に接続するとともに、第 2 のキャパシタに保持されたアナログ電位を差動増幅器の第 1 の入力端子に与えて、アナログ電位と同じ電位を差動増幅器に出力させるための第 3 の切換回路とを備えたものである。

【0023】好ましくは、さらに、第 1 および第 2 の切換回路を用いて第 1 のキャパシタを充電させる前に、第 1 のキャパシタの電極間を接続して放電させるための第 4 の切換回路が設けられる。

【0024】また好ましくは、さらに、その一方端子が入力されたアナログ電位を受け、その他方端子が第 2 のキャパシタの一方電極に接続され、第 1 および第 2 の切換回路を用いて第 1 のキャパシタを充電している間に導通し、第 2 のキャパシタにアナログ電位を保持させるための第 1 のスイッチング素子が設けられる。

【0025】また好ましくは、さらに、その一方端子が差動増幅器の出力端子に接続され、その他方端子が負荷回路に接続され、差動増幅器からアナログ電位と同じ電位が出力されている期間に導通する第 2 のスイッチング素子が設けられる。

【0026】また好ましくは、さらに、第 2 のスイッチング素子の他方端子に接続され、第 2 のスイッチング素子が導通する前の期間に負荷回路に予め定められた電位を与えるための充放電回路が設けられる。

【0027】

【発明の実施の形態】〔実施の形態 1〕図 1 は、この発明の実施の形態 1 による電圧フォロワ 1 の構成を示す回路図であって、図 14 と対比される図である。

【0028】図 1 を参照して、この電圧フォロワ 1 が図 14 の電圧フォロワ 30 と異なる点は、スイッチ 2～4 が追加されている点と、参照電位 VR が導入されている点である。スイッチ 3 は、スイッチ 34 の一方端子と差動増幅器 31 の非反転入力端子 31b との間に介挿される。スイッチ 3 と 34 の間のノードは、参照電位 VR のラインに接続される。スイッチ 2 は、キャパシタ 37 の一方電極と差動増幅器 31 の非反転入力端子 31b との間に介挿される。スイッチ 4 は、差動増幅器 31 の出力端子 31c と電圧フォロワ 1 の出力端子 39 との間に介挿される。

【0029】図 2 は、図 1 に示した電圧フォロワ 1 の動作を示すタイムチャートである。この図 2 に従って、電

圧フォロワ 1 の動作について説明する。初期状態では、スイッチ 2, 4, 33 がオンし、スイッチ 3, 32, 34, 35 がオフしているものとする。ステップ S1 では、図 3 に示すように、スイッチ 4 がオフし、差動増幅器 31 と出力端子 39 に接続された負荷（図示せず）とが電氣的に切り離される。これにより、スイッチ 2～4, 32～35 の切換動作の影響が負荷に及ぶのを防止することができる。

【0030】ステップ S2 では、図 4 に示すように、スイッチ 2 がオフし、キャパシタ 37 と差動増幅器 31 が電氣的に切り離される。スイッチ S3 では、図 5 に示すように、スイッチ 32, 33 がオンしてキャパシタ 36 に蓄えられていた電荷が消去（リセット）されるとともに、スイッチ 35 がオンして次のアナログ入力電位 VIN によってキャパシタ 37 の充電が開始される。

【0031】ステップ S4 では、図 6 に示すように、スイッチ 33 がオフするとともにスイッチ 34 がオンし、オフセット電圧 V<sub>of</sub> が検出される。このとき差動増幅器 31 と負荷が切り離されているので、差動増幅器 31 の応答性は非常に良い。また、差動増幅器 31 の非反転入力端子 31b に参照電位 VR を印加しているため、差動増幅器 31 の動作は安定する。したがって、キャパシタ 36 にはオフセット電圧 V<sub>of</sub> 分の電荷 ΔQ が短時間で正確に蓄えられる。また、キャパシタ 37 の端子電位 VIN が変化することはない。

【0032】ステップ S5 では、図 7 に示すように、オフセット電圧 V<sub>of</sub> の検出が終了したので、スイッチ 34 がオフする。ステップ S6 では、図 8 に示すように、スイッチ 32 がオフし、差動増幅器 31 がオープンループにされる。

【0033】ステップ S7 では、図 9 に示すように、スイッチ 33 がオンし、検出したオフセット電圧 V<sub>of</sub> が差動増幅器 31 の反転入力端子 31a にフィードバックされ、差動増幅器 31 の出力端子 31c の電位がオフセット電圧 V<sub>of</sub> 分だけ低下する。すなわち、差動増幅器 31 の出力端子 31c の電位は参照電位 VR となる。したがって、この電圧フォロワ 1 では、キャパシタ 36, 37 の容量値によらずに、理論的にはオフセット電圧 V<sub>of</sub> を完全にキャンセルすることができる。

【0034】ステップ S8 では、図 10 に示すように、スイッチ 3, 35 がオフし、スタンバイ状態となる。ステップ S9 では、図 11 に示すように、スイッチ 2, 4 がオンし、キャパシタ 7 に保持された入力電位 VIN が差動増幅器 31 の非反転入力端子 31b に入力される。差動増幅器 31 ではキャパシタ 36 に保持されたオフセット電圧 V<sub>of</sub> を出力電圧 V<sub>out</sub> に上乗せして反転入力端子 31a にフィードバックさせるので、差動増幅器 31 の出力電圧 V<sub>out</sub> は入力電圧と同じ電圧 VIN となる。

【0035】この実施の形態 1 では、オフセット電圧 V<sub>of</sub> を検出するときに（ステップ S4）、キャパシタ 37

の電位 $V_{IN}$ を参照するのではなく参照電位 $V_R$ を参照するので、キャパシタ 37 の電位 $V_{IN}$ が変化することがない。また、差動増幅器 31 の非反転入力端子 31b が参照電位 $V_R$ に固定されるので、従来のように発振状態が生じることもない。また、キャパシタ 36, 37 の容量値によらずに、理論的にはオフセット電圧 $V_{of}$ を完全にキャンセルできるので、キャパシタ 37 の容量値すなわち電極面積を大きくする必要がなく、レイアウト面積が小さくて済む。

【0036】〔実施の形態 2〕図 1～図 11 で示した電圧フォロワ 1 は、たとえば液晶パネルの走査線を駆動するためのアナログ出力回路として用いられる。装置の低コスト化を図るため、アナログ出力回路を単結晶トランジスタの代わりにアモルファスシリコントランジスタまたはポリシリコントランジスタで形成することが試みられているが、アモルファスシリコントランジスタまたはポリシリコントランジスタで形成されたアナログ出力回路は応答性が悪いため走査時間が長くなるという問題がある。この実施の形態 2 では、この問題が解決される。

【0037】図 12 は、この発明の実施の形態 2 によるアナログ出力回路 10 の構成を示す回路ブロック図である。図 12 を参照して、このアナログ出力回路 10 が図 1 の電圧フォロワ 1 と異なる点は、スイッチ 11 および充放電回路 12 が追加されている点である。スイッチ 11 は、出力端子 39 と充放電回路 12 の出力ノードとの間に接続される。

【0038】スイッチ 11 は、スイッチ 4 がオフされている期間にオンし、スイッチ 4 がオンしている期間にオフする。充放電回路 12 は、スイッチ 4 がオフされている期間に、スイッチ 11 を介して負荷すなわち走査線を目標レベルに近いレベルに充電／放電する。差動増幅器 31 を含む電圧フォロワは、走査線を目標レベルに微調整する。これにより、走査線を迅速かつ正確に駆動することができ、走査時間の短縮化を図ることができる。

【0039】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0040】

【発明の効果】以上のように、この発明に係るアナログ出力回路では、差動増幅器と、第 1 および第 2 のキャパシタと、差動増幅器の第 1 の入力端子に参照電位を与えるとともに出力端子と第 2 の入力端子とを接続し、参照電位に差動増幅器のオフセット電圧を加算した電位を差動増幅器に出力させるための第 1 の切換回路と、差動増幅器から出力された参照電位にオフセット電圧を加算した電位を第 1 のキャパシタの一方電極に与えるとともにその他方電極に参照電位を与えて充電させるための第 2

の切換回路と、第 1 および第 2 の切換回路を用いて充電された第 1 のキャパシタの一方電極および他方電極をそれぞれ差動増幅器の第 2 の入力端子および出力端子に接続するとともに、第 2 のキャパシタに保持されたアナログ電位を差動増幅器の第 1 の入力端子に与えて、アナログ電位と同じ電位を差動増幅器に出力させるための第 3 の切換回路とが設けられる。したがって、第 1 および第 2 のキャパシタの容量値に関係なくオフセット電圧を完全にキャンセルできる。よって、第 2 のキャパシタの容量値すなわち電極面積が小さくて済み、レイアウト面積が小さくて済む。また、第 1 のキャパシタを充電させるときでも、第 2 のキャパシタに保持された入力アナログ電位を用いずに参照電位を用いるので、入力アナログ電位が変化することがない。また、このとき差動増幅器の第 1 の入力端子を参照電位に固定するので、発振状態が生じることもない。

【0041】好ましくは、さらに、第 1 および第 2 の切換回路を用いて第 1 のキャパシタを充電させる前に、第 1 のキャパシタの電極間を接続して放電させるための第 4 の切換回路が設けられる。この場合は、第 1 のキャパシタの残留電荷を除去できるので、オフセット電圧を正確に検出できる。

【0042】また好ましくは、さらに、その一方端子が入力されたアナログ電位を受け、その他方端子が第 2 のキャパシタの一方電極に接続され、第 1 および第 2 の切換回路を用いて第 1 のキャパシタを充電している間に導通し、第 2 のキャパシタにアナログ電位を保持させるための第 1 のスイッチング素子が設けられる。この場合は、オフセット電圧を検出している間に入力アナログ電位を第 2 のキャパシタに保持させることができる。

【0043】また好ましくは、さらに、その一方端子が差動増幅器の出力端子に接続され、その他方端子が負荷回路に接続され、差動増幅器からアナログ電位と同じ電位が出力されている期間に導通する第 2 のスイッチング素子が設けられる。この場合は、オフセット電圧を検出している間は差動増幅器の出力端子と負荷回路との間を遮断することができ、差動増幅器および負荷回路が互いに悪影響を及ぼすのを防止することができる。

【0044】また好ましくは、第 2 のスイッチング素子の他方端子に接続され、第 2 のスイッチング素子が導通する前の期間に負荷回路に予め定められた電位を与えるための充放電回路が設けられる。この場合は、差動増幅器の負担を軽くすることができ、負荷回路を迅速に駆動させることができる。

#### 【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による電圧フォロワの構成を示す回路図である。

【図 2】 図 1 に示した電圧フォロワの動作を示すタイムチャートである。

【図 3】 図 1 に示した電圧フォロワの動作を説明する

ための回路図である。

【図 4】 図 1 に示した電圧フォロフの動作を説明するための他の回路図である。

【図 5】 図 1 に示した電圧フォロフの動作を説明するためのさらに他の回路図である。

【図 6】 図 1 に示した電圧フォロフの動作を説明するためのさらに他の回路図である。

【図 7】 図 1 に示した電圧フォロフの動作を説明するためのさらに他の回路図である。

【図 8】 図 1 に示した電圧フォロフの動作を説明するためのさらに他の回路図である。 10

【図 9】 図 1 に示した電圧フォロフの動作を説明するためのさらに他の回路図である。

【図 10】 図 1 に示した電圧フォロフの動作を説明するためのさらに他の回路図である。

【図 11】 図 1 に示した電圧フォロフの動作を説明するためのさらに他の回路図である。

【図 12】 この発明の実施の形態 2 によるアナログ出力回路の構成を示す回路ブロック図である。

【図 13】 従来の差動増幅器の構成を示す回路図である。 20

【図 14】 従来の電圧フォロフの構成を示す回路図で

ある。

【図 15】 図 14 に示した電圧フォロフの動作を説明するための回路図である。

【図 16】 図 14 に示した電圧フォロフの動作を説明するための他の回路図である。

【図 17】 図 14 に示した電圧フォロフの動作を説明するためのさらに他の回路図である。

【図 18】 図 14 に示した電圧フォロフの動作を説明するためのさらに他の回路図である。

【図 19】 図 14 に示した電圧フォロフの動作を説明するためのさらに他の回路図である。

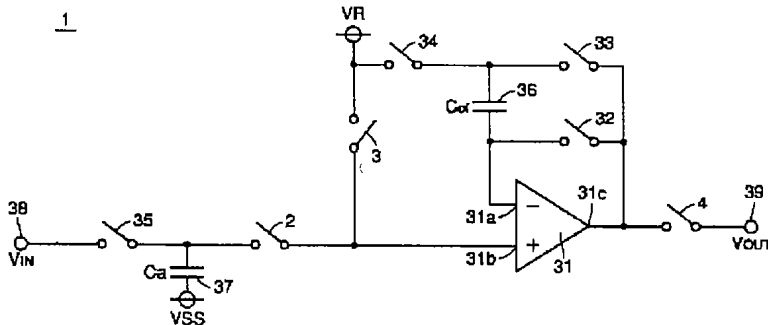
【図 20】 図 14 に示した電圧フォロフの動作を説明するためのさらに他の回路図である。

【図 21】 図 14 に示した電圧フォロフの問題点を説明するための図である。

【符号の説明】

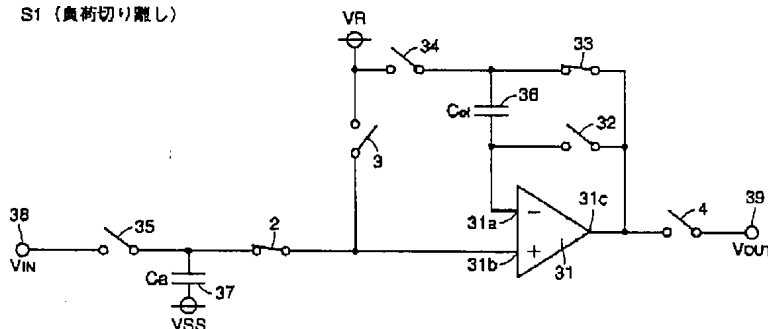
1, 30 電圧フォロフ、2~4, 11, 32~35 スイッチ、12 充放電回路、20, 31 差動増幅器、21 定電流源、22, 23 PチャネルMOSトランジスタ、24, 25 抵抗素子、36, 37 キャパシタ、38 入力端子、39 出力端子。

【図 1】

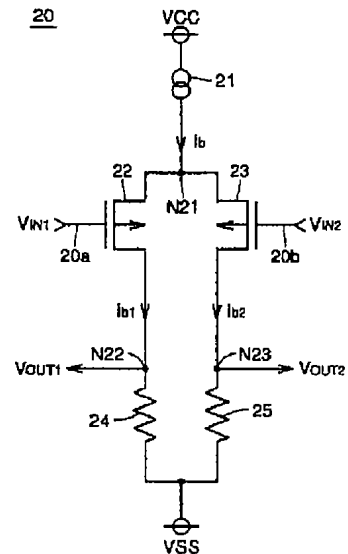


【図 3】

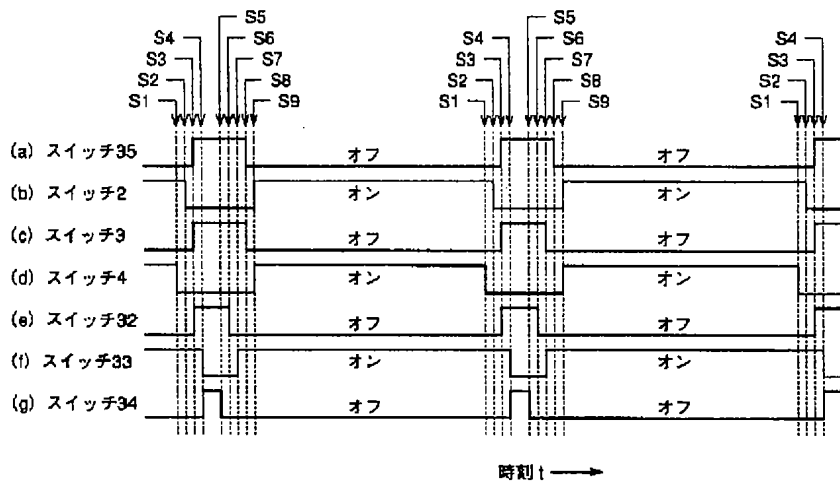
S1 (負荷切り離し)



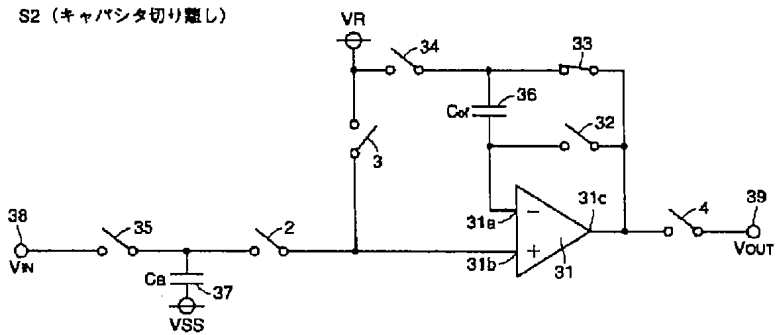
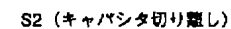
【図 13】



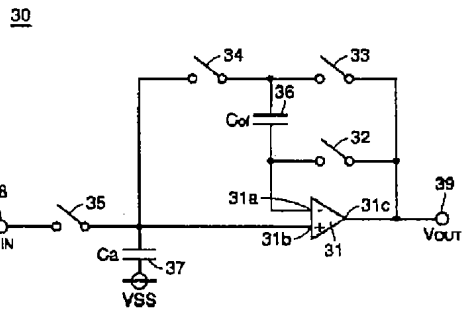
【圖 2】



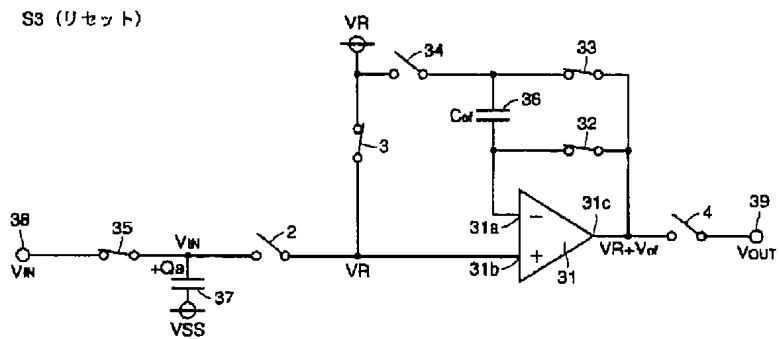
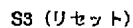
【図 4】



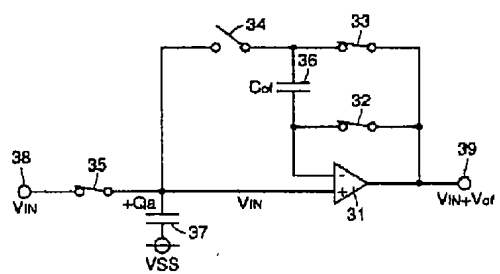
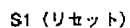
【图 1.4】



【図 5】

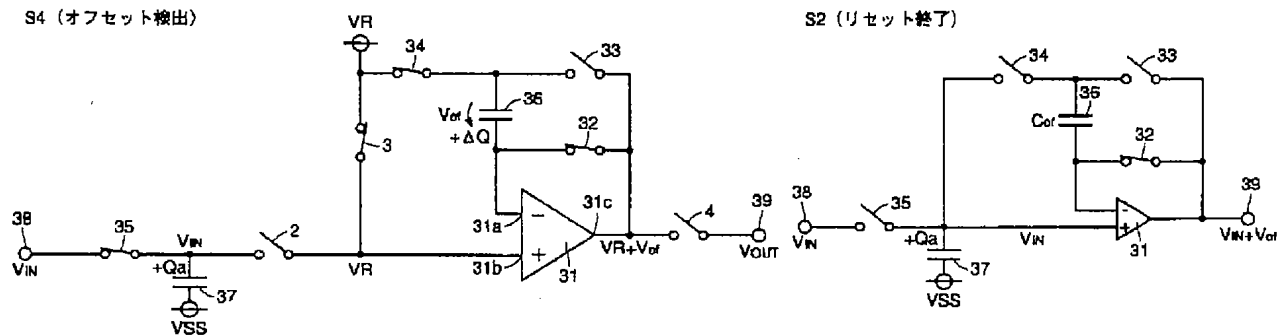


【图 15】



【图 16】

S2 (リセット終了)



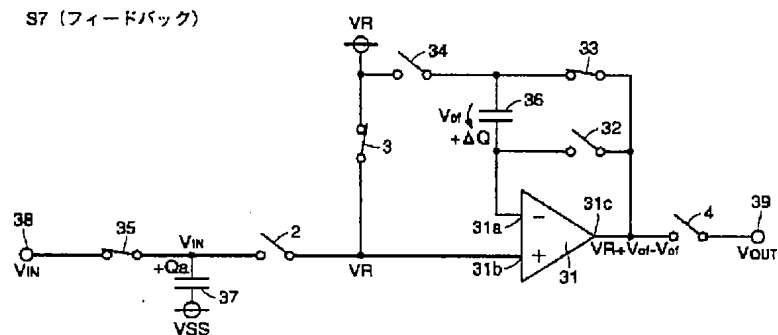
【図 2 1】

時刻  $t$   $\longrightarrow$ 

S6 (オープンループ)

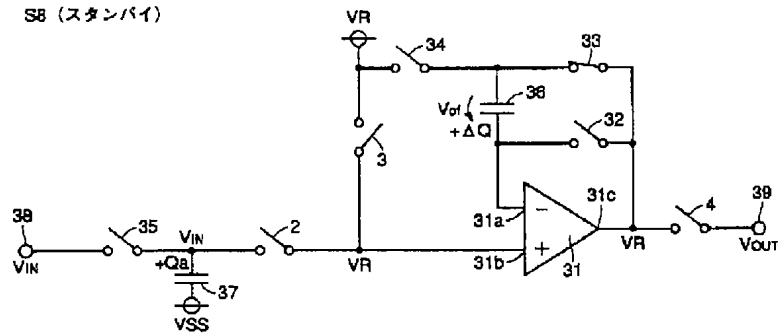
The diagram shows an open-loop configuration of an operational amplifier 31. The input  $V_{IN}$  is connected to the inverting input 31b via a switch 35. A capacitor  $C_{37}$  connects the inverting input 31b to the common mode voltage  $V_{SS}$ . The non-inverting input 31a is connected to the common mode voltage  $V_R$ . The output 31c is connected to the output  $V_{OUT}$  via a switch 33. A feedback path is formed by a capacitor  $C_{36}$  connected between the output 31c and the inverting input 31b, and a switch 32. A switch 34 connects the output  $V_{OUT}$  to the common mode voltage  $V_R$ . A switch 4 connects the output  $V_{OUT}$  to the common mode voltage  $V_R$ . The input  $V_{IN}$  is also connected to the common mode voltage  $V_R$  via a switch 2. The output  $V_{OUT}$  is connected to the common mode voltage  $V_R$  via a switch 4.

S7 (フィードバック)



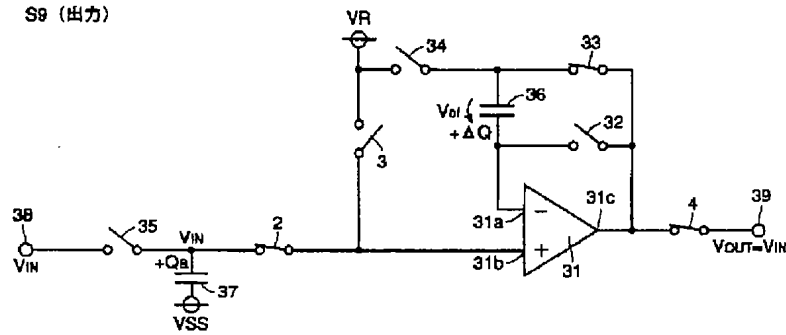
【図 10】

S8 (スタンバイ)

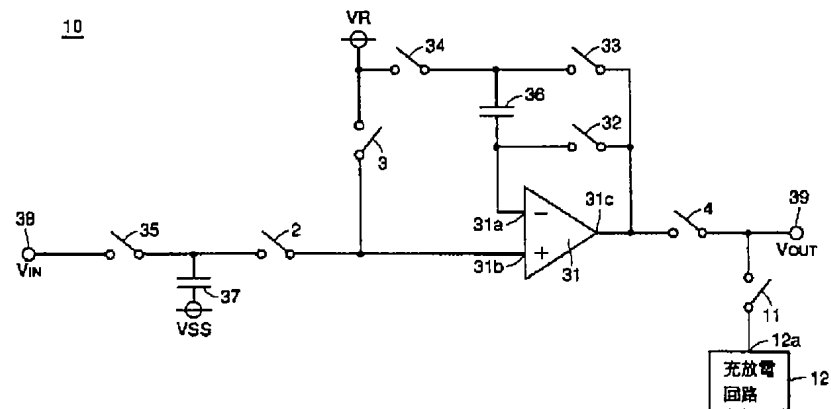


【図 11】

S9 (出力)

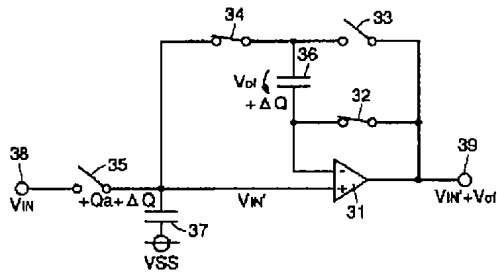


【図 12】



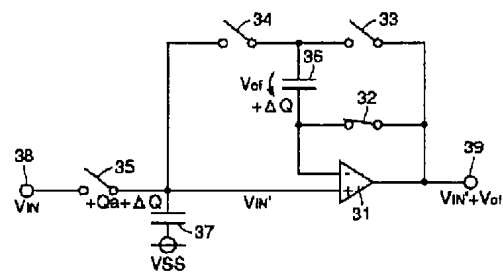
【図 17】

S3 (オフセット検出)



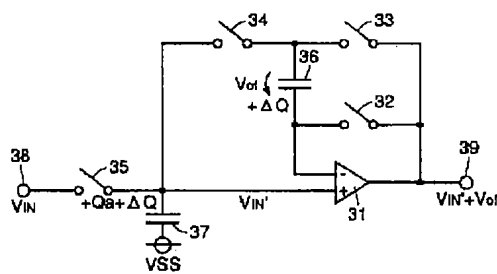
【図 18】

S4 (オフセット検出終了)



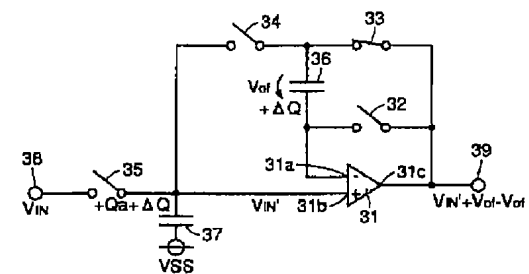
【図 19】

S5 (スタンバイ)



【図 20】

S6 (フィードバック)



フロントページの続き

(72) 発明者 岩田 明彦  
 東京都千代田区丸の内二丁目 2 番 3 号 三  
 菱電機株式会社内

F ターム (参考) 5J066 AA01 AA12 CA13 CA54 CA92  
 FA18 HA10 HA29 HA38 KA00  
 KA05 KA19 MA05 MA23 ND01  
 ND11 ND22 ND23 PD02 TA06  
 5J091 AA01 AA12 CA13 CA54 CA92  
 FA18 HA10 HA29 HA38 KA00  
 KA05 KA19 MA05 MA23 TA06